

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kanna TOMIYE, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-178241	June 23, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

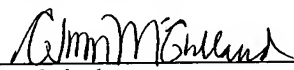
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 2 3 日
Date of Application:

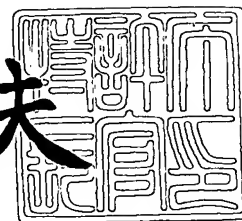
出 願 番 号 特 願 2 0 0 3 - 1 7 8 2 4 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 7 8 2 4 1]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 7 月 1 8 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000302914

【提出日】 平成15年 6月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 30

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 富家 甘奈

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 外園 明

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 石丸 一成

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 支持基板上に配設された絶縁膜と、
前記絶縁膜上に配設された第 1 半導体層と、

S R A M のメモリセルの一部を構成し、且つ前記第 1 半導体層上にゲート絶縁膜を介して配設された第 1 導電型の第 1 ゲート電極と、前記第 1 半導体層内で前記第 1 ゲート電極下の領域を挟むように形成された前記第 1 導電型と反対の第 2 導電型の 1 対の第 1 ソース／ドレイン拡散層と、を有し、且つ前記第 1 半導体層の厚さ \leq （前記第 1 ゲート電極のチャネル長方向の長さ \div 3）を満たす、第 1 メモリセルトランジスタと、

前記絶縁膜上に配設された前記第 2 半導体層と、

周辺回路の一部を構成し、且つ前記第 2 半導体層上にゲート絶縁膜を介して配設された第 3 ゲート電極と、前記第 2 半導体層内で前記第 3 ゲート電極下の領域を挟むように形成された 1 対の第 3 ソース／ドレイン拡散層と、を有し、且つ前記第 2 半導体層の厚さ $>$ （前記第 3 ゲート電極のチャネル長方向の長さ \div 3）を満たす、第 1 周辺トランジスタと、

を具備することを特徴とする半導体装置。

【請求項 2】 前記第 1、第 3 ゲート電極は、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 \leq x \leq 1$ ）から実質的に構成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体装置は、前記 S R A M の前記メモリセルの一部を構成し、且つ前記第 1 半導体層上にゲート絶縁膜を介して配設された前記第 2 導電型の第 2 ゲート電極と、前記第 1 半導体層内で前記第 2 ゲート電極下の領域を挟むように形成された前記第 1 導電型の 1 対の第 2 ソース／ドレイン拡散層と、を有し、且つ前記第 1 半導体層の厚さ \leq （前記第 2 ゲート電極のチャネル長方向の長さ \div 3）を満たす、第 2 メモリセルトランジスタをさらに具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記第 3 ソース／ドレイン拡散層と、前記第 3 ゲート電極とは同じ導電型を有することを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記半導体装置は、前記周辺回路の一部を構成し、且つ前記第 2 半導体層上にゲート絶縁膜を介して配設された第 4 ゲート電極と、前記第 2 半導体層内で前記第 4 ゲート電極下の領域を挟むように形成された 1 対の第 4 ソース／ドレイン拡散層と、を有し、且つ前記第 2 半導体層の厚さ $>$ (前記第 4 ゲート電極のチャネル長方向の長さ $/ 3$) を満たす、第 2 周辺トランジスタをさらに具備することを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記第 4 ソース／ドレイン拡散層と、前記第 4 ゲート電極とは同じ導電型を有することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記第 1、第 2、第 3、第 4 ゲート電極は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x \leq 1$) から実質的に構成されることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 半導体基板と、
前記半導体基板上に配設された絶縁膜と、
前記絶縁膜上に配設された半導体層と、

S R A M のメモリセルの一部を構成し、且つ前記半導体層上にゲート絶縁膜を介して配設された第 1 導電型の第 1 ゲート電極と、前記半導体層内で前記第 1 ゲート電極下の領域を挟むように形成された前記第 1 導電型と反対の第 2 導電型の 1 対の第 1 ソース／ドレイン拡散層と、を有し、且つ前記前記第 1 半導体層の厚さ \leq (第 1 ゲート電極のチャネル長方向の長さ $/ 3$) を満たす、第 1 メモリセルトランジスタと、

周辺回路の一部を構成し、且つ前記半導体基板上にゲート絶縁膜を介して配設された第 3 ゲート電極と、前記半導体基板内で前記第 3 ゲート電極下の領域を挟むように形成された 1 対の第 3 ソース／ドレイン拡散層と、を有する、第 1 周辺トランジスタと、

を具備することを特徴とする半導体装置。

【請求項 9】 前記第 1、第 3 ゲート電極は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x \leq 1$) から実質的に構成されることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記半導体装置は、前記 S R A M の前記メモリセルの一部を構成し、且つ前記半導体層上にゲート絶縁膜を介して配設された前記第 2 導電

型の第2ゲート電極と、前記半導体層内で前記第2ゲート電極下の領域を挟むように形成された前記第1導電型の1対の第2ソース／ドレイン拡散層と、を有し、且つ前記第1半導体層の厚さ \leq (前記第2ゲート電極のチャネル長方向の長さ／3)を満たす、第2メモリセルトランジスタをさらに具備することを特徴とする請求項8に記載の半導体装置。

【請求項11】 前記第3ソース／ドレイン拡散層と、前記第3ゲート電極とは同じ導電型を有することを特徴とする請求項10に記載の半導体装置。

【請求項12】 前記半導体装置は、前記周辺回路の一部を構成し、且つ前記半導体基板上にゲート絶縁膜を介して配設された第4ゲート電極と、前記半導体基板内で前記第4ゲート電極下の領域を挟むように形成された1対の第4ソース／ドレイン拡散層と、を有する、第2周辺トランジスタをさらに具備することを特徴とする請求項11に記載の半導体装置。

【請求項13】 前記第4ソース／ドレイン拡散層と、前記第4ゲート電極とは同じ導電型を有することを特徴とする請求項12に記載の半導体装置。

【請求項14】 前記第1、第2、第3、第4ゲート電極は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x \leq 1$) から実質的に構成されることを特徴とする請求項12に記載の半導体装置。

【請求項15】 前記第1ゲート電極は、体積の90%以上がシリサイドにより構成されていることを特徴とする請求項1または8に記載の半導体装置。

【請求項16】 前記第3ゲート電極は、上部の一部のみにシリサイドを有することを特徴とする請求項15に記載の半導体装置。

【請求項17】 前記第1ゲート電極は、前記第3ゲート電極の体積の80%以下の体積を有することを特徴とする請求項16に記載の半導体装置。

【請求項18】 前記第1ゲート電極の上部を除く側壁上に配設された側壁絶縁膜をさらに具備することを特徴とする請求項15に記載の半導体装置。

【請求項19】 前記第3ゲート電極の側壁上に配設された第1側壁絶縁膜と、

前記第1ゲート電極の側壁上に配設され、前記第1側壁絶縁膜の上端より低い上端を有する第2側壁絶縁膜と、

をさらに具備することを特徴とする請求項 15 に記載の半導体装置。

【請求項 20】 支持基板上に配設された絶縁膜と、

前記絶縁膜上に配設された第 1 半導体層と、

S R A M のメモリセルの一部を構成し、且つ前記第 1 半導体層上にゲート絶縁膜を介して配設された金属材料から実質的に構成された第 1 ゲート電極と、前記第 1 半導体層内で前記第 1 ゲート電極下の領域を挟むように形成された 1 対の第 1 ソース／ドレイン拡散層と、を有し、且つ前記第 1 半導体層の厚さ \leq （前記第 1 ゲート電極のチャンネル長方向の長さ／3）を満たす、第 1 メモリセルトランジスタと、

前記絶縁膜上に配設された前記第 2 半導体層と、

周辺回路の一部を構成し、且つ前記第 2 半導体層上にゲート絶縁膜を介して配設された第 3 ゲート電極と、前記第 2 半導体層内で前記第 3 ゲート電極下の領域を挟むように形成された 1 対の第 3 ソース／ドレイン拡散層と、を有し、且つ前記第 2 半導体層の厚さ $>$ （前記第 3 ゲート電極のチャンネル長方向の長さ／3）を満たす、第 1 周辺トランジスタと、

を具備することを特徴とする半導体装置。

【請求項 21】 半導体基板と、

前記半導体基板上に配設された絶縁膜と、

前記絶縁膜上に配設された半導体層と、

S R A M のメモリセルの一部を構成し、且つ前記半導体層上にゲート絶縁膜を介して配設された金属材料から実質的に構成された第 1 ゲート電極と、前記半導体層内で前記第 1 ゲート電極下の領域を挟むように形成された 1 対の第 1 ソース／ドレイン拡散層と、を有し、且つ前記第 1 半導体層の厚さ \leq （前記第 1 ゲート電極のチャンネル長方向の長さ／3）を満たす、第 1 メモリセルトランジスタと、

周辺回路の一部を構成し、且つ前記半導体基板上にゲート絶縁膜を介して配設された第 3 ゲート電極と、前記半導体基板内で前記第 3 ゲート電極下の領域を挟むように形成された 1 対の第 3 ソース／ドレイン拡散層と、を有する、第 1 周辺トランジスタと、

を具備することを特徴とする半導体装置。

【請求項 2 2】 前記第 1 ゲート電極は、タングステン、チタン、モリブデン、ニッケル、コバルト、プラチナ、およびこれらの合金からなる群から選択された材料により実質的に構成されることを特徴とする請求項 2 0 または 2 1 に記載の半導体装置。

【請求項 2 3】 支持基板上に配設された絶縁膜と、
前記絶縁膜上に配設された第 1 半導体層と、

S R A M のメモリセルの一部を構成し、且つ前記第 1 半導体層の第 1 側面上と前記第 1 側面と対向する第 2 側面上と前記第 1 および第 2 側面とに接する上面上とにゲート絶縁膜を介して配設された第 1 ゲート電極と、前記第 1 半導体層内で前記第 1 ゲート電極により囲まれた領域を挟むように形成された 1 対の第 1 ソース／ドレイン拡散層と、を有する、第 1 メモリセルトランジスタと、

前記絶縁膜上に配設された前記第 2 半導体層と、

周辺回路の一部を構成し、且つ前記第 2 半導体層上にゲート絶縁膜を介して配設された第 3 ゲート電極と、前記第 2 半導体層内で前記第 3 ゲート電極下の領域を挟むように形成された 1 対の第 3 ソース／ドレイン拡散層と、を有し、且つ前記第 2 半導体層の厚さ $>$ (前記第 3 ゲート電極のチャネル長方向の長さ $/ 3$) を満たす、第 1 周辺トランジスタと、

を具備することを特徴とする半導体装置。

【請求項 2 4】 S R A M のメモリセルの一部を構成するメモリセルトランジスタが形成される第 1 領域の支持基板上の絶縁膜上に、第 1 厚さを有する第 1 半導体層を形成する工程と、

周辺回路を構成する周辺トランジスタが形成される第 3 領域の前記絶縁膜上に、前記第 1 厚さより大きい第 2 厚さを有する第 2 半導体層を形成する工程と、

前記第 3 領域の前記第 2 半導体層に、第 1 導電型の不純物を注入する工程と、
前記第 1、第 2 半導体層の上方に導電膜を形成する工程と、

前記第 3 領域の前記導電膜に前記第 1 導電型と反対の第 2 導電型の不純物を注入する工程と、

前記第 1 領域の前記導電膜に前記第 1 導電型の不純物を注入する工程と、

前記導電膜から、前記第 1 領域において前記第 1 厚さ \leq (チャネル方向の長さ

／3) を満たす第1ゲート電極と、第3領域において前記第2厚さ $>$ (チャンネル長方向の長さ／3) を満たす第3ゲート電極と、を形成する工程と、

前記第1、第3ゲート電極近傍の前記第1、第2半導体層内に前記第2導電型の第1、第3ソース／ドレイン拡散層をそれぞれ形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項25】 前記第1、第2半導体層を形成する工程は、
前記絶縁膜上に、前記第2厚さを有する半導体層を形成する工程と、
前記第1領域の前記半導体層の上部を酸化する工程と、
前記半導体層の酸化された部分を除去する工程と、
を具備することを特徴とする請求項24に記載の半導体装置の製造方法。

【請求項26】 前記第1、第2半導体層を形成する工程は、
前記絶縁膜上に、前記第1厚さを有する半導体層を形成する工程と、
前記第2領域の前記半導体層を前記第2厚さまで成長させる工程と、
を具備することを特徴とする請求項24に記載の半導体装置の製造方法。

【請求項27】 前記SRAMのメモリセルの一部を構成するメモリセルトランジスタが形成される第2領域の前記導電膜に、前記第2導電型の不純物を注入する工程と、

前記第2領域において、前記第1厚さ \leq (チャンネル方向の長さ／3) を満たす第2ゲート電極を前記導電膜から形成する工程と、

前記第2ゲート電極近傍の前記第1半導体層内に前記第1導電型の第2ソース／ドレイン拡散層を形成する工程と、

をさらに具備することを特徴とする請求項24に記載の半導体装置の製造方法。

。

【請求項28】 前記周辺回路を構成する周辺トランジスタが形成される第4領域の前記第2半導体層に、前記第2導電型の不純物を注入する工程と、

前記第4領域において、前記第2厚さ $>$ (チャンネル長方向の長さ／3) を満たす第4ゲート電極を前記導電膜から形成する工程と、

前記第4ゲート電極近傍の前記第2半導体層内に前記第1導電型の第4ソース／ドレイン拡散層を形成する工程と、

をさらに具備することを特徴とする請求項 27 に記載の半導体装置の製造方法。

【請求項 29】 前記第 1 ゲート電極の 90% 以上をシリサイド化する工程をさらに具備することを特徴とする請求項 24 に記載の半導体装置の製造方法。

【請求項 30】 SRAM のメモリセルの一部を構成するメモリセルトランジスタが形成される第 1 領域の支持基板上の絶縁膜上に、第 1 厚さを有する第 1 半導体層を形成する工程と、

周辺回路を構成する周辺トランジスタが形成される第 3 領域の前記絶縁膜上に、前記第 1 厚さより大きい第 2 厚さを有する第 2 半導体層を形成する工程と、

前記第 3 領域の前記第 2 半導体層上に、周辺回路の一部を構成し、且つ前記第 2 半導体層上にゲート絶縁膜を介して配設された第 3 ゲート電極と、前記第 2 半導体層内で前記第 3 ゲート電極下の領域を挟むように形成された 1 対の第 3 ソース／ドレイン拡散層と、を有し、且つ前記第 2 半導体層の厚さ前記 $> (\text{第 3 ゲート電極のチャンネル長方向の長さ} / 3)$ を満たす、前記周辺トランジスタを形成する工程と、

前記第 1 領域の前記第 1 半導体層の上方にタングステン、チタン、モリブデン、ニッケル、コバルト、プラチナ、およびこれらの合金から実質的に構成される金属膜を形成する工程と、

前記第 1 領域において前記第 1 厚さ $\leq (\text{チャンネル方向の長さ} / 3)$ を満たす第 1 ゲート電極を前記金属膜から形成する工程と、

前記第 1 ゲート電極近傍の前記第 1 半導体層内に第 1 ソース／ドレイン拡散層をそれぞれ形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、例えば、SRAM (Static Random Access Memory) および、絶縁膜上の半導体層内にトランジスタが形成された SOI (Silicon On Insulator) 構造の半導体装置に関する。

【0002】

【従来の技術】

半導体基板上に形成されたMIS (Metal Insulator Semiconductor) トランジスタ (以下、単にトランジスタ) のチャネル領域に不純物の濃度を制御することにより、トランジスタの閾値電圧が調整される。近時、半導体装置の微細化に伴ってチャネル領域に注入できる不純物量が減少している。この結果、不純物濃度の制御が困難となり、ある所望の不純物濃度に対するばらつきが顕著となる。これにしたがって、閾値電圧がばらつく問題が生じる。また、不純物量の減少に伴い、主に宇宙線が原因のソフトエラーの増加も大きな問題となっている。

【0003】

閾値電圧の制御の困難さを解消するため、およびソフトエラーの発生を低下させるために、完全空乏 (Fully-Depleted) 型のSOI構造が有効であることが知られている。SOI構造とは、絶縁膜上に設けられた半導体層 (例えばシリコン) 内にトランジスタが形成された構造である。SOI構造のトランジスタは、完全空乏型と、部分空乏 (Partially-Depleted) 型に大別される。完全空乏型ではトランジスタのオン時に、チャネル下の半導体層 (ボディ領域) が完全に空乏化し、部分空乏型ではボディ領域が部分的にのみ空乏化する。

【0004】

完全空乏型のSOI構造 (以下、単に完全空乏型) とすることにより、トランジスタの閾値電圧は、主にゲート電極の仕事関数により決定される。このため、閾値電圧のばらつきが減少する。

【0005】

同一の半導体基板 (SOI構造による半導体層を含む) に、メモリセルトランジスタと周辺回路を構成する周辺トランジスタとが形成された混載型の半導体装置が知られている。混載型の半導体装置を完全空乏型とすることにより、閾値電圧のばらつき、およびソフトエラーの発生を低下することができると考えられる。

【0006】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【0007】

【特許文献1】

特開平9-135030号公報

【0008】

【発明が解決しようとする課題】

上記したように、完全空乏型の場合、トランジスタの閾値電圧は、ゲート電極の仕事関数により決定される。仕事関数は、ゲート電極の材料によって主に決定される。したがって、複数のトランジスタが同じ材料によるゲート電極を有する場合、これらトランジスタは同じ閾値電圧を有する。

【0009】

混載型の半導体装置のメモリセルがSRAMの場合、1つの半導体基板上の複数のメモリセルトランジスタの閾値電圧に、複数の閾値電圧を設定することはあまり要求されない。このため、メモリセルトランジスタの各ゲート電極に同じ材料を用いた場合でも、問題は生じない。

【0010】

一方、周辺領域では、周辺回路を構成するトランジスタの機能が多岐に亘るため、複数の周辺トランジスタが異なる閾値電圧を有することが要求される。しかしながら、上記したように、周辺トランジスタの各ゲート電極に同じ材料を用いた場合、複数の閾値を設定することはできない。この問題に対して、仕事関数の異なる材料を複数用意し、これらを適宜選択することにより所望の閾値電圧を設定することが考えられる。しかしながら、この方法によると製造コストが非常に高くなり、複数のゲート電極材料を採用することは、現実的な解決策ではない。

【0011】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、周辺トランジスタの閾値電圧設定の自由度を確保しつつ、メモリセルトランジスタにおいて閾値電圧のばらつき、ソフトエラーの発生を低下できる半導体装置を提供しようとするものである。

【0012】

【課題を解決するための手段】

本発明の第1の視点による半導体装置は、支持基板上に配設された絶縁膜と、前記絶縁膜上に配設された第1半導体層と、SRAMのメモリセルの一部を構成し、且つ前記第1半導体層上にゲート絶縁膜を介して配設された第1導電型の第1ゲート電極と、前記第1半導体層内で前記第1ゲート電極下の領域を挟むように形成された前記第1導電型と反対の第2導電型の1対の第1ソース／ドレイン拡散層と、を有し、且つ前記第1半導体層の厚さ \leq （前記第1ゲート電極のチャンネル長方向の長さ／3）を満たす、第1メモリセルトランジスタと、前記絶縁膜上に配設された前記第2半導体層と、周辺回路の一部を構成し、且つ前記第2半導体層上にゲート絶縁膜を介して配設された第3ゲート電極と、前記第2半導体層内で前記第3ゲート電極下の領域を挟むように形成された1対の第3ソース／ドレイン拡散層と、を有し、且つ前記第2半導体層の厚さ $>$ （前記第3ゲート電極のチャンネル長方向の長さ／3）を満たす、第1周辺トランジスタと、を具備することを特徴とする。

【0013】

本発明の第2の視点による半導体装置は、半導体基板と、前記半導体基板上に配設された絶縁膜と、前記絶縁膜上に配設された半導体層と、SRAMのメモリセルの一部を構成し、且つ前記半導体層上にゲート絶縁膜を介して配設された第1導電型の第1ゲート電極と、前記半導体層内で前記第1ゲート電極下の領域を挟むように形成された前記第1導電型と反対の第2導電型の1対の第1ソース／ドレイン拡散層と、を有し、且つ前記前記第1半導体層の厚さ \leq （第1ゲート電極のチャンネル長方向の長さ／3）を満たす、第1メモリセルトランジスタと、周辺回路の一部を構成し、且つ前記半導体基板上にゲート絶縁膜を介して配設された第3ゲート電極と、前記半導体基板内で前記第3ゲート電極下の領域を挟むように形成された1対の第3ソース／ドレイン拡散層と、を有する、第1周辺トランジスタと、を具備することを特徴とする。

【0014】

本発明の第3の視点による半導体装置は、支持基板上に配設された絶縁膜と、前記絶縁膜上に配設された第1半導体層と、SRAMのメモリセルの一部を構成し、且つ前記第1半導体層上にゲート絶縁膜を介して配設された金属材料から実

質的に構成された第1ゲート電極と、前記第1半導体層内で前記第1ゲート電極下の領域を挟むように形成された1対の第1ソース／ドレイン拡散層と、を有し、且つ前記第1半導体層の厚さ \leq （前記第1ゲート電極のチャンネル長方向の長さ／3）を満たす、第1メモリセルトランジスタと、前記絶縁膜上に配設された前記第2半導体層と、周辺回路の一部を構成し、且つ前記第2半導体層上にゲート絶縁膜を介して配設された第3ゲート電極と、前記第2半導体層内で前記第3ゲート電極下の領域を挟むように形成された1対の第3ソース／ドレイン拡散層と、を有し、且つ前記第2半導体層の厚さ $>$ （前記第3ゲート電極のチャンネル長方向の長さ／3）を満たす、第1周辺トランジスタと、を具備することを特徴とする。

【0015】

本発明の第4の視点による半導体装置は、半導体基板と、前記半導体基板上に配設された絶縁膜と、前記絶縁膜上に配設された半導体層と、SRAMのメモリセルの一部を構成し、且つ前記半導体層上にゲート絶縁膜を介して配設された金属材料から実質的に構成された第1ゲート電極と、前記半導体層内で前記第1ゲート電極下の領域を挟むように形成された1対の第1ソース／ドレイン拡散層と、を有し、且つ前記第1半導体層の厚さ \leq （前記第1ゲート電極のチャンネル長方向の長さ／3）を満たす、第1メモリセルトランジスタと、周辺回路の一部を構成し、且つ前記半導体基板上にゲート絶縁膜を介して配設された第3ゲート電極と、前記半導体基板内で前記第3ゲート電極下の領域を挟むように形成された1対の第3ソース／ドレイン拡散層と、を有する、第1周辺トランジスタと、を具備することを特徴とする。

【0016】

本発明の第5の視点による半導体装置は、支持基板上に配設された絶縁膜と、前記絶縁膜上に配設された第1半導体層と、SRAMのメモリセルの一部を構成し、且つ前記第1半導体層の第1側面上と前記第1側面と対向する第2側面上と前記第1および第2側面とに接する上面上とにゲート絶縁膜を介して配設された第1ゲート電極と、前記第1半導体層内で前記第1ゲート電極により囲まれた領域を挟むように形成された1対の第1ソース／ドレイン拡散層と、を有する、第

1 メモリセルトランジスタと、前記絶縁膜上に配設された前記第2半導体層と、周辺回路の一部を構成し、且つ前記第2半導体層上にゲート絶縁膜を介して配設された第3ゲート電極と、前記第2半導体層内で前記第3ゲート電極下の領域を挟むように形成された1対の第3ソース／ドレイン拡散層と、を有し、且つ前記第2半導体層の厚さ $>$ (前記第3ゲート電極のチャンネル長方向の長さ $/3$)を満たす、第1周辺トランジスタと、を具備することを特徴とする。

【0017】

本発明の第6の視点による半導体装置は、SRAMのメモリセルの一部を構成するメモリセルトランジスタが形成される第1領域の支持基板上の絶縁膜上に、第1厚さを有する第1半導体層を形成する工程と、周辺回路を構成する周辺トランジスタが形成される第3領域の前記絶縁膜上に、前記第1厚さより大きい第2厚さを有する第2半導体層を形成する工程と、前記第3領域の前記第2半導体層に、第1導電型の不純物を注入する工程と、前記第1、第2半導体層の上方に導電膜を形成する工程と、前記第3領域の前記導電膜に前記第1導電型と反対の第2導電型の不純物を注入する工程と、前記第1領域の前記導電膜に前記第1導電型の不純物を注入する工程と、前記導電膜から、前記第1領域において前記第1厚さ \leq (チャンネル方向の長さ $/3$)を満たす第1ゲート電極と、第3領域において前記第2厚さ $>$ (チャンネル長方向の長さ $/3$)を満たす第3ゲート電極と、を形成する工程と、前記第1、第3ゲート電極近傍の前記第1、第2半導体層内に前記第2導電型の第1、第3ソース／ドレイン拡散層をそれぞれ形成する工程と、を具備することを特徴とする。

【0018】

本発明の第7の視点による半導体装置は、SRAMのメモリセルの一部を構成するメモリセルトランジスタが形成される第1領域の支持基板上の絶縁膜上に、第1厚さを有する第1半導体層を形成する工程と、周辺回路を構成する周辺トランジスタが形成される第3領域の前記絶縁膜上に、前記第1厚さより大きい第2厚さを有する第2半導体層を形成する工程と、前記第3領域の前記第2半導体層上に、周辺回路の一部を構成し、且つ前記第2半導体層上にゲート絶縁膜を介して配設された第3ゲート電極と、前記第2半導体層内で前記第3ゲート電極下の

領域を挟むように形成された 1 対の第 3 ソース／ドレイン拡散層と、を有し、且つ前記第 2 半導体層の厚さ前記 $>$ (第 3 ゲート電極のチャネル長方向の長さ $/ 3$) を満たす、前記周辺トランジスタを形成する工程と、前記第 1 領域の前記第 1 半導体層の上方にタングステン、チタン、モリブデン、ニッケル、コバルト、プラチナ、およびこれらの合金から実質的に構成される金属膜を形成する工程と、前記第 1 領域において前記第 1 厚さ \leq (チャネル方向の長さ $/ 3$) を満たす第 1 ゲート電極を前記金属膜から形成する工程と、前記第 1 ゲート電極近傍の前記第 1 半導体層内に第 1 ソース／ドレイン拡散層をそれぞれ形成する工程と、を具備することを特徴とする。

【0019】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【0020】

【発明の実施の形態】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0021】

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態に係る半導体装置を概略的に示す断面図である。図 1 に示すように、半導体装置は、メモリセル領域 1、周辺回路領域 2、境界領域 3 を有する。半導体基板 (支持基板) 11 の上に、例えばシリコン酸化膜からなる絶縁膜 (埋め込み酸化膜 (Buried Oxide)) 12 が設けられる。半導体基板 11 の材料として、例えば、 Al_2O_3 (酸化アルミニウム)、Ge (ゲルマニウム)、AlN (窒化アルミニウム)、Si (シリコン)、サファイアを用いることができる。

【0022】

メモリセル領域1の絶縁膜12の上に半導体層13a（第1半導体層）が設けられ、周辺回路領域2の絶縁膜12の上に半導体層13b（第2半導体層）が設けられる。半導体層13a、13bは、例えばシリコン、ゲルマニウムから実質的に構成される。半導体層13a、13bは異なる厚さを有する。半導体層13a、13bの厚さは、後述する条件を考慮して、メモリセル領域1のトランジスタが完全空乏型となり、周辺回路領域2のトランジスタが部分空乏型となるように設定される。境界領域3には、例えばシリコン酸化膜からなる素子分離絶縁膜14が形成される。

【0023】

半導体層13aの第1、第2領域に、n型、p型のメモリセルトランジスタ21、22がそれぞれ形成される。メモリセルトランジスタ21、22は、SRAMのメモリセルの一部を構成する。

【0024】

メモリセルトランジスタ21（第1メモリセルトランジスタ）は、ゲート絶縁膜23、ゲート絶縁膜23上の第1ゲート電極24、1対の第1ソース／ドレイン拡散層25を有する。第1ゲート電極24は、例えば $\text{Si}_x\text{Ge}_{1-x}$ （ $0 \leq x \leq 1$ ）からなる材料により構成され、p型の導電性を有する。第1ソース／ドレイン拡散層25は、半導体層13a内で第1ゲート電極24の下領域（チャンネル領域）を挟み、その下端が半導体層13aの下端に達する。

【0025】

メモリセルトランジスタ22（第2メモリセルトランジスタ）は、ゲート絶縁膜23、ゲート絶縁膜23上の第2ゲート電極26、1対の第2ソース／ドレイン拡散層27を有する。第2ゲート電極26は、第1ゲート電極24と同じ材料により構成され、n型の導電性を有する。第2ソース／ドレイン拡散層27は、半導体層13a内で第2ゲート電極26の下領域を挟み、その下端が半導体層13aの下端に達する。

【0026】

メモリセル領域においては、n型のメモリセルトランジスタ21の第1ゲート

電極 24 が p 型の導電型を有し、p 型のメモリセルトランジスタ 22 の第 2 ゲート電極 26 が n 型の導電型を有する。これは、メモリセルトランジスタ 21、22 が完全空乏型であることに起因する。上記したように、完全空乏型の場合、トランジスタの閾値電圧は仕事関数で決定される。しかしながら、n 型のトランジスタのゲート電極の導電型を n 型とすると、従来と同様の特性を有する n 型トランジスタとならない。このため、n 型トランジスタのゲート電極を p 型とすることにより、仕事関数、閾値電圧が調整される。p 型トランジスタのゲート電極を n 型とする理由も同様である。

【0027】

半導体層 13b の第 3、第 4 領域に、n 型、p 型の周辺トランジスタ 31、32 がそれぞれ形成される。周辺トランジスタ 31、32 は、周辺回路の一部を構成する。周辺回路には、SRAM の動作に必要な各種の回路が含まれる。周辺トランジスタ 31、32 間には、素子分離絶縁膜 14 が設けられる。

【0028】

周辺トランジスタ 31（第 1 周辺トランジスタ）は、ゲート絶縁膜 23、ゲート絶縁膜 23 上の第 3 ゲート電極 34、1 対の第 3 ソース／ドレイン拡散層 35 を有する。第 3 ゲート電極 34 は、例えば第 1 ゲート電極 24 と実質的に同じ材料により構成され、n 型の導電型を有する。第 3 ソース／ドレイン拡散層 35 は、半導体層 13b 内で第 3 ゲート電極 34 の下の領域を挟み、低濃度領域 35a と高濃度領域 35b とにより構成される。

【0029】

周辺トランジスタ 32（第 2 周辺トランジスタ）は、ゲート絶縁膜 23、ゲート絶縁膜 23 上の第 4 ゲート電極 36、1 対の第 4 ソース／ドレイン拡散層 37 を有する。第 4 ゲート電極 36 は、例えば第 1 ゲート電極 24 と実質的に同じ材料により構成され、p 型の導電型を有する。第 4 ソース／ドレイン拡散層 37 は、半導体層 13b 内で第 4 ゲート電極 36 の下の領域を挟み、低濃度領域 37a と高濃度領域 37b とにより構成される。

【0030】

第 1～第 4 ゲート電極 24、26、34、36 の側壁上に、例えばシリコン窒

化膜、シリコン酸化膜等の側壁絶縁膜 41 が設けられる。第 1、第 2 ソース／ドレイン拡散層 25、27 の表面上に半導体膜 42 が設けられる。半導体膜 42 は、例えば $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x \leq 1$) からなる材料により構成される。半導体膜 42 にはコンタクト領域のための高濃度の不純物が注入され、高濃度領域 43、44 が形成される。第 1～第 4 ゲート電極 24、26、34、36 の表面、半導体膜 42 の表面、第 3、第 4 ソース／ドレイン拡散層 35、37 の表面にシリサイド 45 が設けられる。

【0031】

半導体層 13a、13b 上の全面に層間絶縁膜 51 が設けられる。半導体層 13b は、メモリセルトランジスタ 21、22 間で除去されており、層間絶縁膜 51 の一部は、この除去された部分で絶縁膜 12 に達する。層間絶縁膜 51 内にコンタクトプラグ 52 が設けられる。コンタクトプラグ 52 は、例えば第 1、第 2 ソース／ドレイン拡散層 25、27 上のシリサイド 45、および第 3、第 4 ソース／ドレイン拡散層 35、37 上のシリサイド 45 に達する。

【0032】

次に、完全空乏型および部分空乏型について説明する。一般に、トランジスタが完全空乏型となるか部分空乏型となるかは、以下の式に応じて決定される。

【0033】

$$T_{\text{Si}} \leq L/3 \quad (1)$$

ただし、 T_{Si} ：半導体層の厚さ、 L ：ゲート電極の長さ

なお、ゲート電極の長さは、チャネル長方向と同じ方向における長さである。式 (1) を満たすことにより、トランジスタは完全空乏型となる。本実施形態では、メモリセルトランジスタ 21、22 が完全空乏型、周辺トランジスタ 31、32 が部分空乏型とされる。

【0034】

具体的な例として、以下の様に設定することができる。まず、第 1、第 2 ゲート電極 24、26 の長さ L は、例えば 6～60 nm とされる。この場合、半導体層 13a は、2～20 nm 以下の厚さを有する。例えば、第 1、第 2 ゲート電極の長さ L が 20 nm の場合、半導体層 13a の厚さは、 $20/3$ nm 以下に設定

される。

【0035】

第3、第4ゲート電極34、36の長さLは、例えば6～60nmとされる。この場合、半導体層13bは、2～20nmより大きい厚さを有する。

【0036】

次に、上記構成の半導体装置の製造方法について図2～図17を用いて説明する。図2～図17は、それぞれ、図1の半導体装置の製造工程を順に示す断面図である。まず、図2に示すように、半導体基板11上に、絶縁膜12、半導体層13bが設けられる。すなわち、この半導体層13bは、上記式(1)と第3、第4ゲート電極34、36のゲート長を考慮して、周辺トランジスタ31、32が部分空乏型となるような厚さを有する。次に、周辺回路領域2の半導体層13b上に、シリコン窒化膜61が形成される。

【0037】

次に、図3に示すように、メモリセル領域1の半導体層13bの上部が、例えば熱酸化されることにより、酸化膜62が形成される。この酸化膜62の厚さは、メモリセル領域1で残存する半導体層13bの厚さとメモリセルトランジスタ21、22のゲート長によって、メモリセルトランジスタ21、22が完全空乏型となるように決定される。

【0038】

次に、図4に示すように、酸化膜62、シリコン窒化膜61が除去される。この結果、メモリセル領域1に半導体層13aが形成される。

【0039】

次に、図5に示すように、メモリセルトランジスタ21、22、周辺トランジスタ31、32の周囲、および境界領域3の半導体層13a、13bが除去される。次に、半導体層13a、13bが除去された部分に、例えばシリコン酸化膜が埋め込まれる。この結果、素子分離絶縁膜14が形成される。

【0040】

次に、図6に示すように、フォトリソグラフィ工程およびRIE (Reactive Ion Etching) 等のエッチング技術等（以下、公知の方法）を用いて、メモリセル

領域 1 の全体、および n 型メモリセルトランジスタ 21 が形成される領域がフォトレジスト 63 により覆われる。このフォトレジスト 63 をマスクとして、半導体層 13a、13b に、n 型半導体を形成するための不純物（例えばヒ素（As）、リン（P））が注入される。注入量は、p 型周辺トランジスタ 32 の閾値に応じて決定される。続いて、フォトレジスト 63 が除去される。

【0041】

次に、図 7 に示すように、公知の方法により、メモリセル領域 1 の全体、および p 型メモリセルトランジスタ 22 が形成される領域がフォトレジスト 64 により覆われる。このフォトレジスト 64 をマスクとして、半導体層 13a、13b に、p 型半導体を形成するための不純物（例えばボロン（B）、インジウム（In））が注入される。注入量は、n 型周辺トランジスタ 31 の閾値に応じて決定される。続いて、フォトレジスト 64 が除去される。

【0042】

次に、図 8 に示すように、半導体層 13a、13b を熱酸化することにより、ゲート絶縁膜 23 が形成される。ゲート絶縁膜 23 の厚さが、メモリセル領域 1 と周辺回路領域 2 とで異なるようにしてもよい。

【0043】

次に、図 9 に示すように、半導体層 13a、13b 上の全面に、ゲート電極の材料膜 65 が堆積される。

【0044】

次に、図 10 に示すように、公知の方法により、n 型メモリセルトランジスタ 21 および p 型周辺トランジスタ 32 が形成される領域がフォトレジスト 71 により覆われる。このフォトレジスト 71 をマスクとして、材料膜 65 に、n 型不純物を形成するための不純物（例えばヒ素、リン）が注入される。この注入された不純物量に応じて、メモリセルトランジスタ 21 の閾値が決定する。このため、不純物注入の条件は、メモリセルトランジスタ 21 が所望の閾値を得られるように決定される。続いて、フォトレジスト 71 が除去される。

【0045】

次に、図 11 に示すように、p 型メモリセルトランジスタ 22 および n 型周辺

トランジスタ 31 が形成される領域がフォトレジスト 72 により覆われる。このフォトレジスト 72 をマスクとして、材料膜 65 に、p 型不純物を形成するための不純物（例えばボロン）が注入される。この注入された不純物量に応じて、メモリセルトランジスタ 21 の閾値が決定する。このため、不純物注入の条件は、メモリセルトランジスタ 21 が所望の閾値を得られるように決定される。続いて、フォトレジスト 72 が除去される。

【0046】

次に、図 12 に示すように、公知の方法により、材料膜 65 上の全面に、絶縁膜 73 が形成される。絶縁膜 73 は、第 1～第 4 ゲート電極 24、26、34、36 のパターンを有する。次に、絶縁膜 73 をマスクとして、材料膜 65 が、RIE 等のエッチング技術を用いてエッチングされる。この結果、第 1～第 4 ゲート電極 24、26、34、36 が形成される。次に、周辺回路領域 2 の絶縁膜 73 が除去される。

【0047】

次に、図 13 に示すように、公知の方法により、p 型メモリセルトランジスタ 22 および p 型周辺トランジスタ 32 が形成される領域がフォトレジスト 74 により覆われる。次に、このフォトレジスト 74、絶縁膜 73、第 3 ゲート電極 34 をマスクとして、例えばヒ素、リン等の不純物が低加速の条件下でイオン注入される。この結果、第 1 ソース／ドレイン拡散層 25、および第 3 ソース／ドレイン拡散層 35 の低濃度領域 35a が形成される。この工程において、絶縁膜 73 は、第 1 ゲート電極 24 への不純物の注入を防止する機能を有する。続いて、フォトレジスト 74 が除去される。

【0048】

次に、図 14 に示すように、公知の方法により、n 型メモリセルトランジスタ 21 および n 型周辺トランジスタ 31 が形成される領域がフォトレジスト 75 により覆われる。次に、このフォトレジスト 75、絶縁膜 73、第 4 ゲート電極 36 をマスクとして、例えばボロン、フッ化ボロン (BF_2) 等の不純物が低加速の条件下でイオン注入される。この結果、第 2 ソース／ドレイン拡散層 27、および第 4 ソース／ドレイン拡散層 37 の低濃度領域 37a が形成される。この工

程において、絶縁膜 73 は、第 2 ゲート電極 24 への不純物の注入を防止する機能を有する。続いて、フォトリソグスト 75 が除去される。

【0049】

次に、図 15 に示すように、側壁絶縁膜 41 の材料膜が堆積され、この材料膜がエッチングされることにより、側壁絶縁膜 41 が形成される。次に、第 1、第 2 ソース／ドレイン拡散層 25、27 上に、半導体膜 42 が、選択成長により形成される。

【0050】

次に、図 16 に示すように、公知の方法により、p 型メモリセルトランジスタ 22 および p 型周辺トランジスタ 32 が形成される領域がフォトリソグスト 81 により覆われる。次に、このフォトリソグスト 81、絶縁膜 73、第 3 ゲート電極 34、側壁絶縁膜 41 をマスクとして、例えばヒ素、リン等の不純物が高加速の条件下でイオン注入される。この結果、高濃度領域 35b、43 が形成される。この工程において、絶縁膜 73 は、第 1 ゲート電極 24 への不純物の注入を防止する機能を有する。続いて、フォトリソグスト 81 が除去される。

【0051】

次に、図 17 に示すように、公知の方法により、n 型メモリセルトランジスタ 21 および n 型周辺トランジスタ 31 が形成される領域がフォトリソグスト 82 により覆われる。次に、このフォトリソグスト 82、絶縁膜 73、第 3 ゲート電極 34、側壁絶縁膜 41 をマスクとして、例えばボロンが高加速の条件下でイオン注入される。この結果、高濃度領域 37b、44 が形成される。この工程において、絶縁膜 73 は、第 2 ゲート電極 24 への不純物の注入を防止する機能を有する。続いて、フォトリソグスト 82 および絶縁膜 73 が除去される。

【0052】

次に、図 1 に示すように、スパッタリングにより、ニッケル (Ni)、コバルト (Co)、プラチナ (Pt)、パラジウム (Pd)、チタン (Ti) 等の金属が半導体基板 11 上の全面に堆積される。次に、これら金属が熱処理によって拡散、反応することにより、シリサイド 45 が形成される。次に、層間絶縁膜 51 の材料膜が例えば CVD (Chemical Vapor Deposition) 法により半導体基板 1

1 上の全面に堆積される。次に、公知の方法により、コンタクトプラグ 5 2 の形成領域にコンタクトホールが形成される。次に、コンタクトホールが導電材料により埋め込まれることにより、コンタクトプラグ 5 2 が形成される。この後、図示せぬ、配線層、さらなる層間絶縁膜等が所望により形成される。

【0053】

本発明の第 1 実施形態に係る半導体装置によれば、SRAMの一部を構成するメモリセルトランジスタ 2 1、2 2 は完全空乏型であり、周辺トランジスタ 3 1、3 2 が部分空乏型である。このため、メモリセルトランジスタ 2 1、2 2 においては、閾値電圧のばらつきの回避、およびソフトエラーの発生の低下が可能である。一方、周辺回路領域 2 においては、従来と同様に、周辺トランジスタ 3 1、3 2 のチャネル領域の不純物量を制御することにより、高い自由度により閾値電圧を設定することが可能である。このように、メモリセルトランジスタ 2 1、2 2、周辺トランジスタ 3 1、3 2 のそれぞれが、所望の特性を有する半導体装置を実現できる。

【0054】

また、第 1 実施形態に係る半導体装置によれば、第 1 ～第 4 ゲート電極 2 4、2 6、3 4、3 6 がすべて、同じ材料により形成されている。このため、メモリセル領域 1 と周辺回路領域 2 とを同じ工程で形成できるため、それぞれ別の工程を経る場合に比べ、工程数を少なく維持することができる。

【0055】

上記したように、完全空乏型とするとチャネル領域の不純物量によって閾値電圧を制御することができない。このため、従来と同様に、完全空乏型のメモリセルトランジスタの導電型と、ゲート電極の導電型とを同じとすると、トランジスタが正常に動作しない。換言すれば、従来のトランジスタと同様の閾値電圧を得られない。これに対し、第 1 実施形態に係る半導体装置によれば、メモリセルトランジスタ 2 1、2 2 の導電型と、第 1、第 2 ゲート電極 2 4、2 6 の導電型とを逆にしている。この結果、n 型、p 型メモリセルトランジスタ 2 1、2 2 に、従来の n 型、p 型トランジスタと同様の特性を持たせることができる。すなわち、今までと同様のアプリケーションを用いることができる。さらに、このような

構成は、第1～第4ゲート電極24、26、34、36に不純物を注入する際のマスクの位置を変更するだけなので、工程数が増大することも回避できる。

【0056】

(第2実施形態)

第1実施形態では、周辺トランジスタ31、32が半導体層13bに形成される。これに対して、第2実施形態では、半導体基板11に形成された、いわゆるバルク型である。

【0057】

図18は、本発明の第2実施形態に係る半導体装置を概略的に示す断面図である。図18に示すように、周辺トランジスタ31、32が半導体基板11上に形成されている。その他の構成は、第1実施形態と同様である。バルク型とすることにより、部分空乏型の場合と同様に、チャネル領域への不純物注入により、トランジスタの閾値電圧を容易に制御できる。

【0058】

本発明の第2実施形態に係る半導体装置によれば、第1実施形態と同様の効果を得られる。

【0059】

(第3実施形態)

第3実施形態は、第1実施形態の変形例に関わり、製造工程が異なる。このため、断面図は、第1実施形態のそれ(図1)と同じである。以下、図19～図21を用いて、製造工程を説明する。図19～図21は、それぞれ、第3実施形態に係る半導体装置の製造工程の一部を示す断面図である

図19に示すように、半導体基板11上の絶縁膜12上に半導体層13aが設けられる。すなわち、半導体層13aの厚さは、上記式(1)と第1、第2ゲート電極24、26のゲート長を考慮して、メモリセルトランジスタ21、22が完全空乏型となるような厚さを有する。次に、半導体層13a上に、シリコン窒化膜61が形成される。

【0060】

次に、図20に示すように、周辺回路領域2の半導体層13a上に、例えばエ

ピタキシャル成長により、半導体層 13a と同じ材料の層が形成される。この結果、周辺回路領域 2 において、半導体層 13b が形成される。

【0061】

次に、図 21 に示すように、シリコン窒化膜 61 が除去される。この後の工程は、第 1 実施形態の図 5 以降と同じである。

【0062】

本発明の第 3 実施形態に係る半導体装置によれば、第 1 実施形態と同様の効果を得られる。

【0063】

(第 4 実施形態)

第 1 ～ 第 3 実施形態では、第 1、第 2 ゲート電極 24、26 の材料として、半導体が用いられる。これに対し、第 4 実施形態では、金属が用いられる。

【0064】

断面図に関しては、第 1 実施形態のそれ (図 1) と同じである。第 1、第 2 ゲート電極 24、26 の材料として、例えばタングステン (W)、チタン、モリブデン (Mo)、ニッケル、コバルト、プラチナ、およびこれらの合金が用いられる。さらに、これらの材料中に、シリコン、ゲルマニウム、窒素 (N)、ボロン、ヒ素、リンが含まれていても良い。第 1、第 2 ゲート電極 24、26 の材料は、メモリセルトランジスタ 21、22 が所望の閾値となるように、金属材料の仕事関数に応じて適切に選択される。なお、第 4 実施形態の場合、第 1 実施形態の場合のように、メモリセルトランジスタ 21、22 の導電型とゲート電極の導電型とを逆転させる必要は無い。

【0065】

第 4 実施形態に係る半導体装置は、例えば以下の工程により製造される。例えば、まず、図 5 の工程の後、周辺回路領域 2 の全体が、フォトレジストにより覆われる。次に、CVD、リソグラフィー、エッチング、イオン注入を用いて、メモリセルトランジスタ 21、22 が形成される。次に、周辺回路領域 2 のフォトレジストが除去されるとともに、メモリセル領域 1 の全体がフォトレジストにより覆われる。次に、CVD、リソグラフィー、エッチング、イオン注入を用いて

、周辺トランジスタ 31、32 が形成される。次に、周辺回路領域 2 のフォトレジストが除去される。この後の工程は、図 15 以降と同じである。

【0066】

本発明の第 4 実施形態に係る半導体装置によれば、第 1 実施形態と同様に、メモリセルトランジスタ 21、22 は完全空乏型であり、周辺トランジスタ 31、32 が部分空乏型である。このため、第 1 実施形態と同様の効果を得られる。

【0067】

また、第 4 実施形態に係る半導体装置によれば、第 1、第 2 ゲート電極 24、26（メモリセルトランジスタ 21、22 のゲート電極）が金属により構成される。このため、メモリセルトランジスタ 21、22 の所望の閾値に応じた仕事関数を有する金属を採用することにより、メモリセルトランジスタ 21、22 の閾値電圧を、高い自由度を持って設定することができる。

【0068】

さらに、第 1、第 2 ゲート電極 24、26 が金属材料により構成されることにより、第 1、第 2 ゲート電極 24、26 のゲート絶縁膜 23 近傍で空乏層が発生することを抑制することができる。

【0069】

なお、第 4 実施形態によれば、第 1 実施形態に比べ、製造工程が増大する。しかしながら、第 4 実施形態では、第 1 実施形態では得られない効果を得られるため、要求される半導体装置の特性に応じて、2 つの実施形態を適宜選択することが肝要である。

【0070】

（第 5 実施形態）

第 5 実施形態は、第 1、第 2 実施形態に付加して用いられ、第 1、第 2 ゲート電極 24、26 の略全体がシリサイド化される。

【0071】

図 22 に示すように、第 1、第 2 ゲート電極 24、26 の略全体がシリサイド化されている。ここで、略全体とは、第 1、第 2 ゲート電極 24、26 の体積の 90% 以上を言うものとし、好ましくは、95～100% である。このような構

成とすることにより、後述する効果を得られる。

【0072】

第1、第2ゲート電極24、26のみ全体をシリサイド化することは、例えば以下の様にして実現される。なお、シリサイド化の工程後は、第1実施形態と同様である。

【0073】

まず、第1の方法について説明する。まず、第1実施形態の図12までの工程と同様の工程が実施される。このとき、第1、第2ゲート電極24、26の体積は、第3、第4ゲート電極34、36の体積の80%、好ましくは60%以下となるように材料膜65がパターニングされる。このように、体積を設定する方法の一例として、例えば、第1～第4ゲート電極24、26、34、36のゲート幅が同じとされ、第3、第4ゲート電極34、36のゲート長が第1、第2ゲート電極24、26のゲート長の80%、好ましくは60%以下とされる。

【0074】

次に、図13から図17までの工程と同様の工程が実施される。そして、図17の後のシリサイド化の工程において、第1～第4ゲート電極24、26、34、36の体積（またはゲート長）が、上記した関係を満たすようにすることにより、第1、第2ゲート電極24、26のみが、全体にシリサイド化される。第3、第4ゲート電極34、36は体積が大きいため、シリサイド化が全体に及ばず、第1実施形態と同様に、上面近傍のみにシリサイド45が形成される。

【0075】

第2の方法として、図15の工程後、図23に示すように、メモリセル領域1の側壁絶縁膜41の上部が、例えばRIE等のドライエッチング、またはウェットエッチングにより除去される。この結果、第1、第2ゲート電極24、26の上部が露出する。次に、図18に示す工程において、シリサイド化が行われる。このとき、第1、第2ゲート電極24、26の露出した部分からもシリサイド化が進行する。したがって、第1、第2ゲート電極24、26のみが全体に亘ってシリサイド化される。第2方法の場合、完成した半導体装置は、図24に示すように、メモリセル領域1の側壁絶縁膜41（第2側壁絶縁膜）が、周辺領域2の

側壁絶縁膜 41 (第1側壁絶縁膜) より低い高さを有する。

【0076】

第3の方法として、図18のシリサイド化の工程の前に、第3、第4ゲート電極34、36に、例えばゲルマニウム、シリコン等のイオンが照射される。さらに、第3ゲート電極34に対しては、ヒ素を用いることもできる。この結果、イオンが照射された部分がプリアモルファスとされる。こうすることにより、第3、第4ゲート電極34、36が全体に亘って、シリサイド化されることを防ぐことができる。第1～第3の方法のいずれかのみでは、第1、第2ゲート電極24、26のみ全体をシリサイド化することが困難な場合、これらの方法を適宜組み合わせることができる。

【0077】

本発明の第5実施形態に係る半導体装置によれば、第1実施形態と同様の効果を得られる。さらに、第5実施形態によれば、第1、第2ゲート電極24、26の全体がシリサイド化される。シリサイド化のための反応物質を適宜選択することにより、シリサイド化された第1、第2ゲート電極24、26を種々の材料により形成できる。したがって、第1、第2ゲート電極24、26の閾値電圧を多岐に亘って設定することが容易となる。

【0078】

また、第5実施形態によれば、第1、第2ゲート電極24、26をシリサイド化することにより、第1、第2ゲート電極24、26の閾値を調整できる。したがって、工程数を大幅に増大することなく、第1、第2ゲート電極24、26の閾値を設定することが可能である。

【0079】

(第6実施形態)

第5実施形態に係る半導体装置は、メモリセルトランジスタ21、22がFinFETと呼ばれる3次元構造を有する。

【0080】

図25は、本発明の第6実施形態に係る半導体装置を概略的に示す断面図であり、図26は、メモリセルトランジスタ21(22)のみを概略的に示す斜視図

であり、図 25 は、図 26 の矢印の方向から見た構造に対応する。

【0081】

図 25、図 26 に示すように、メモリセル領域 1 において、半導体層 13a は、直方体形状を有する。第 1 ゲート電極 24（第 2 ゲート電極 26）は、平面形状を有し、また半導体層 13a の第 1 側面、上面、第 1 側面と対向する第 2 側面上に延在する。半導体層 13a 内の、第 1 ゲート電極 24 により覆われていない領域に、第 1 ソース／ドレイン拡散層 25（第 2 ソース／ドレイン拡散層 27）が形成される。第 1 ソース／ドレイン拡散層 25 相互間がチャネル領域として機能する。

【0082】

本発明の第 6 実施形態に係る半導体装置によれば、メモリセルトランジスタ 21、22 が 3 次元構造を有し、周辺トランジスタ 31、32 は部分空乏型を有する。3 次元構造のメモリセルトランジスタ 21、22 は、完全空乏型の SOI 構造と同様に、ソース／ドレイン領域を除く半導体層 13a がすべて空乏化する。このため、第 1 実施形態と同様の効果を得られる。

【0083】

第 1～第 6 実施形態において、メモリセル領域 1 が SRAM のメモリセルを構成する部分のみに対応するものとして説明している。すなわち、メモリセル領域 1 が、図 27 のメモリセルアレイ 91 に対応し、周辺回路領域 2 が、同図のデコーダ、センスアンプ等の周辺部 92 に対応する。しかし、これに限られるものではない。これについて、簡単に説明する。

【0084】

メモリおよびロジック等を 1 つのシステムチップに集積し、1 つのシステムを形成する、いわゆるシステム LSI (Large Scale Integrated Circuit) が知られている。システム LSI では、図 28 に例示するように、DRAM (Dynamic Random Access Memory) 回路 DRAM、ロジック回路 LOGIC 等の複数の機能ブロック 93（コア、マクロ、IP (Intellectual property)）が半導体チップ 94 の上に設けられる。そして、これらマクロ 93 により、全体として所望のシステムが構築される。SRAM マクロ 93 の場合、メモリセルアレイに加え、メ

モリの動作に必要な周辺回路（例えばセンスアンプ、デコーダ）が、1つのマクロ 9 3 内に形成される。そして、設計上の制限、作製の容易性等の理由により、周辺回路部もメモリセルアレイと同様の狭いピッチを持って形成される。このため、周辺回路部のトランジスタも、不純物濃度のばらつき、ソフトエラーが発生する。そこで、メモリマクロの場合、メモリセル部だけでなく、周辺回路部のトランジスタも完全空乏型のトランジスタとすることにより、このような問題を回避することが可能である。

【0 0 8 5】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0 0 8 6】

【発明の効果】

以上、詳述したように本発明によれば、周辺トランジスタの閾値電圧設定の自由度を確保しつつ、メモリセルトランジスタにおいて閾値電圧のばらつき、ソフトエラーの発生を低下できる半導体装置を提供を提供できる。また、メモリセルトランジスタの閾値電圧の設定も可能である。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態に係る半導体装置を概略的に示す断面図。

【図 2】 図 1 の半導体装置の製造工程を概略的に示す断面図。

【図 3】 図 2 に続く工程を示す断面図。

【図 4】 図 3 に続く工程を示す断面図。

【図 5】 図 4 に続く工程を示す断面図。

【図 6】 図 5 に続く工程を示す断面図。

【図 7】 図 6 に続く工程を示す断面図。

【図 8】 図 7 に続く工程を示す断面図。

【図 9】 図 8 に続く工程を示す断面図。

【図 1 0】 図 9 に続く工程を示す断面図。

【図 1 1】 図 1 0 に続く工程を示す断面図。

【図 1 2】 図 1 1 に続く工程を示す断面図。

【図 1 3】 図 1 2 に続く工程を示す断面図。

【図 1 4】 図 1 3 に続く工程を示す断面図。

【図 1 5】 図 1 4 に続く工程を示す断面図。

【図 1 6】 図 1 5 に続く工程を示す断面図。

【図 1 7】 図 1 6 に続く工程を示す断面図。

【図 1 8】 本発明の第 2 実施形態に係る半導体装置を概略的に示す断面図

。

【図 1 9】 本発明の第 3 実施形態に係る半導体装置の製造工程を概略的に示す図。

【図 2 0】 図 1 9 に続く工程を示す断面図。

【図 2 1】 図 2 0 に続く工程を示す断面図。

【図 2 2】 本発明の第 5 実施形態に係る半導体装置を概略的に示す断面図

。

【図 2 3】 本発明の第 5 実施形態に係る半導体装置を概略的に示す断面図

。

【図 2 4】 本発明の第 5 実施形態に係る半導体装置を概略的に示す断面図

。

【図 2 5】 本発明の第 6 実施形態に係る半導体装置を概略的に示す断面図

。

【図 2 6】 図 2 5 の一部を概略的に示す斜視図。

【図 2 7】 S R A M の構成の例を概略的に示すブロック図。

【図 2 8】 システム L S I の構成の例を概略的に示すブロック図。

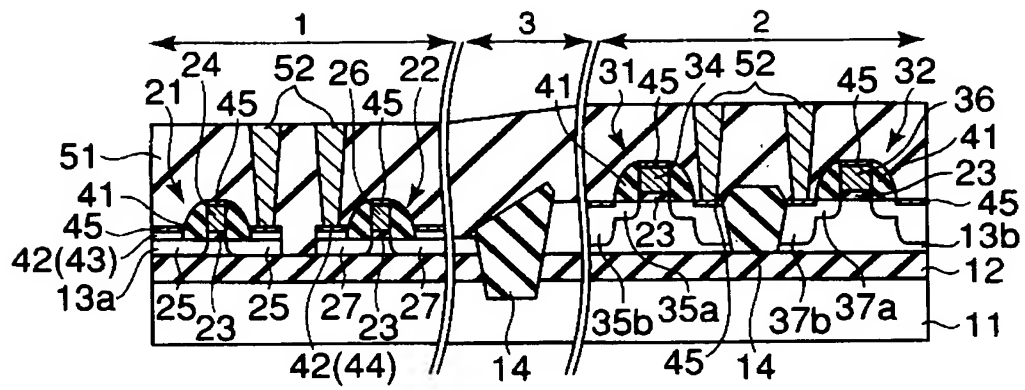
【符号の説明】

1…メモリセル領域、2…周辺回路領域、3…境界領域、11…半導体基板、12…絶縁膜（埋め込み酸化膜）、13a、13b…半導体層、14…素子分離絶縁膜、21…n型メモリセルトランジスタ、22…p型メモリセルトランジスタ、23…ゲート絶縁膜、24…第1ゲート電極（n型MT r）、25…第1ソース／ドレイン拡散層（n型MT r）、26…第2ゲート電極（p型MT r）、2

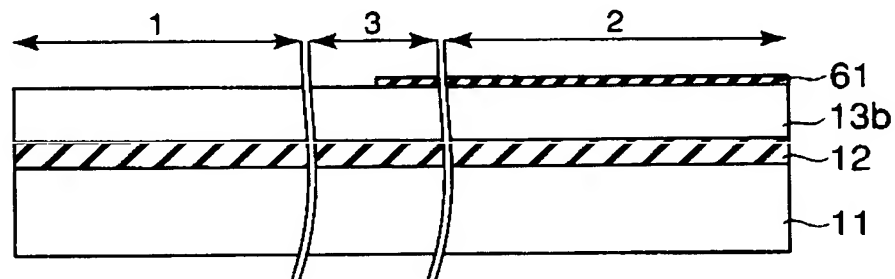
7…第2ソース／ドレイン拡散層（p型MT r）、31…n型周辺トランジスタ、32…p型周辺トランジスタ、33…素子分離絶縁膜、34…第3ゲート電極（n型PT r）、35…第3ソース／ドレイン拡散層（n型PT r）、35 a、37 a…低濃度領域、35 b、37 b…高濃度領域、36…第4ゲート電極（p型PT r）、37…第4ソース／ドレイン拡散層（p型PT r）、41…側壁絶縁膜、42…半導体膜、43、44…高濃度領域、45…シリサイド、51…層間絶縁膜、52…コンタクトプラグ、61…シリコン窒化膜、62…酸化膜、63、64、71、72、74、75、81、82…フォトレジスト、65…材料膜、73…絶縁膜、91…メモリセルアレイ、92…周辺部、93…マクロ、94…半導体チップ。

【書類名】 図面

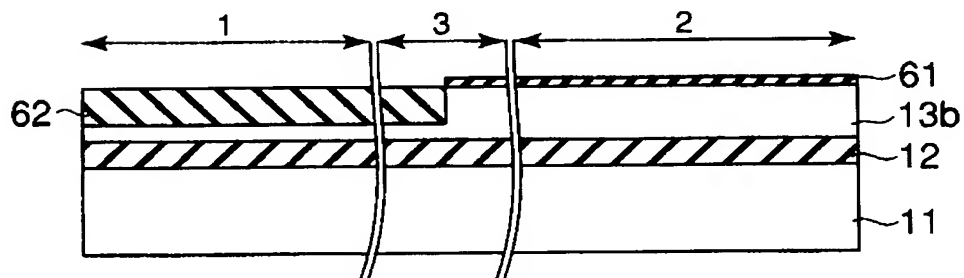
【図 1】



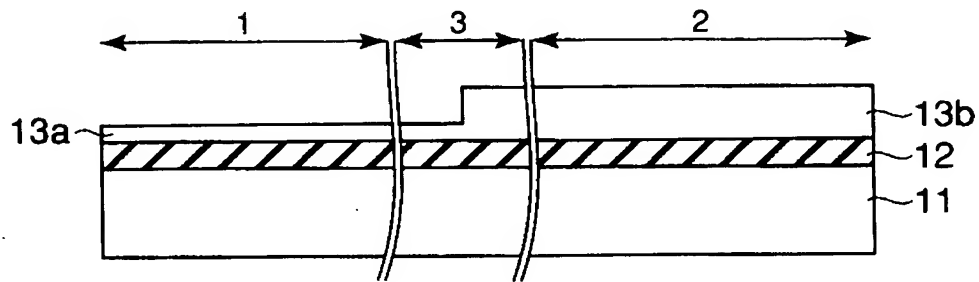
【図 2】



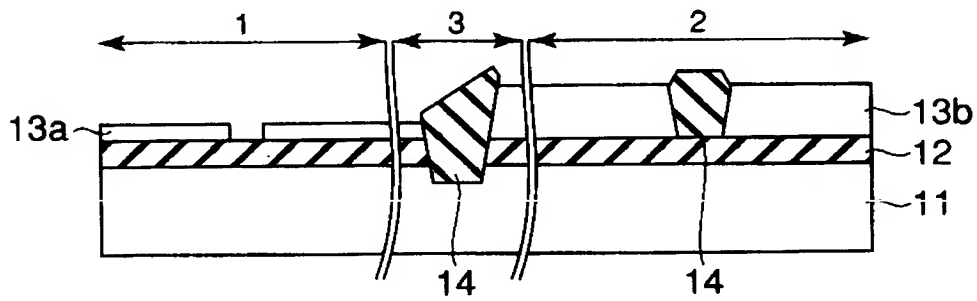
【図 3】



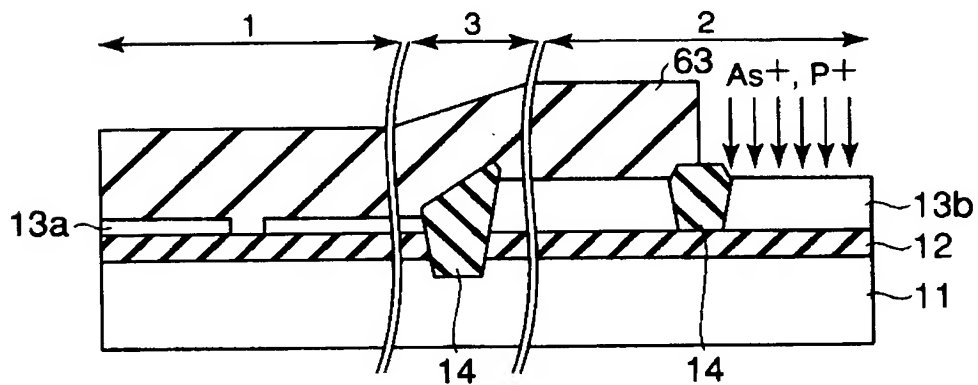
【図 4】



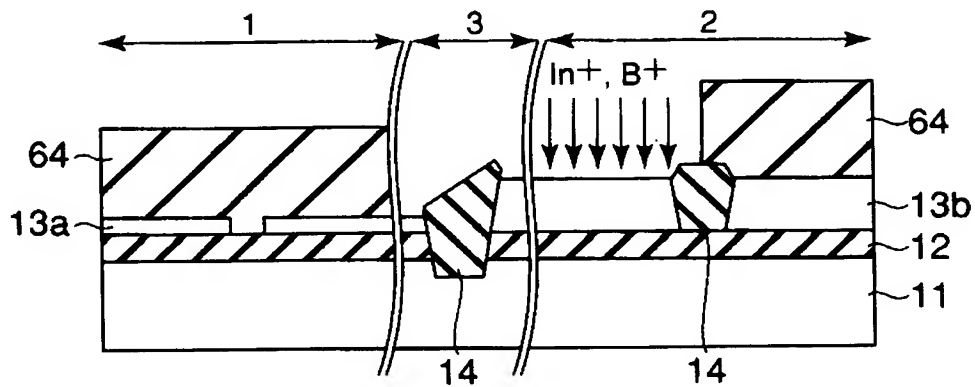
【図 5】



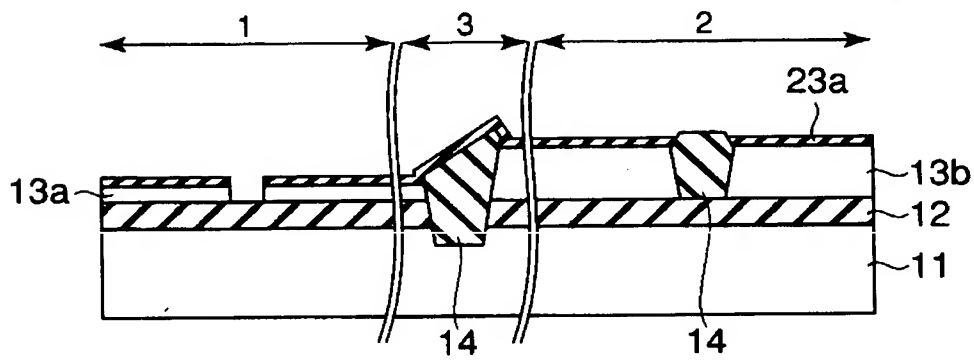
【図 6】



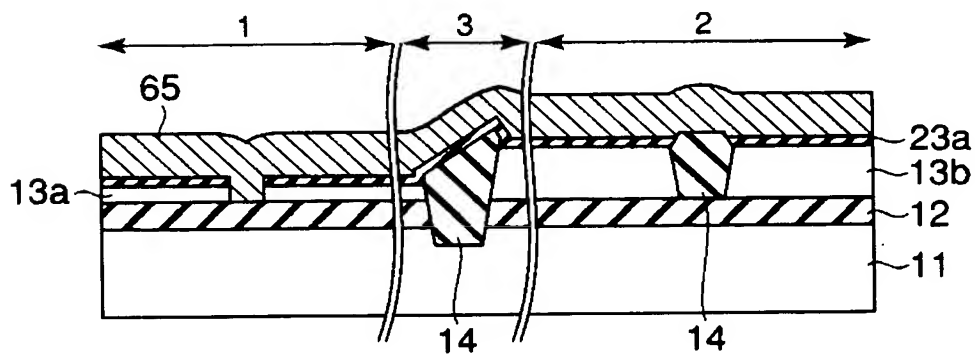
【図 7】



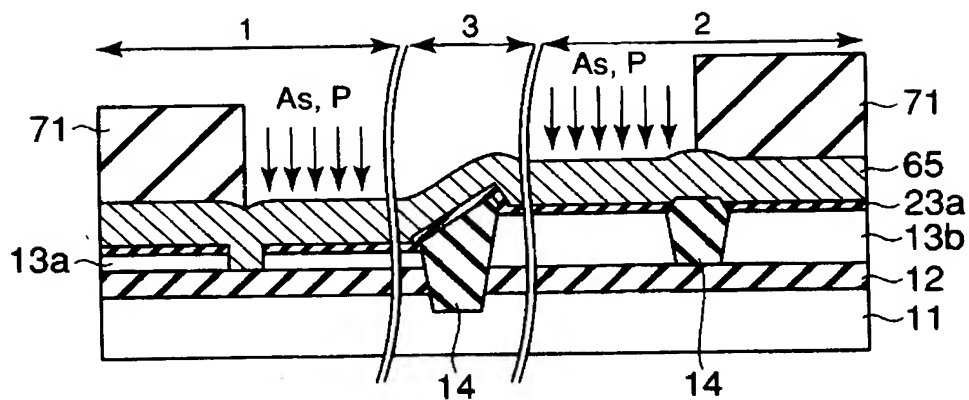
【図 8】



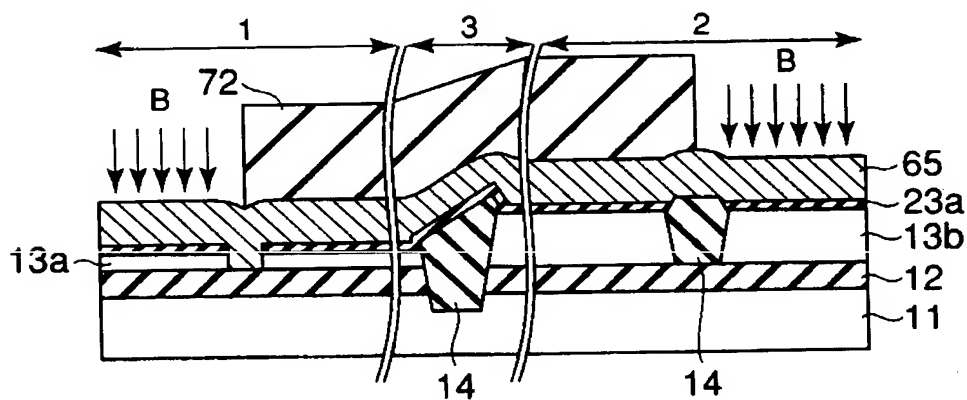
【図 9】



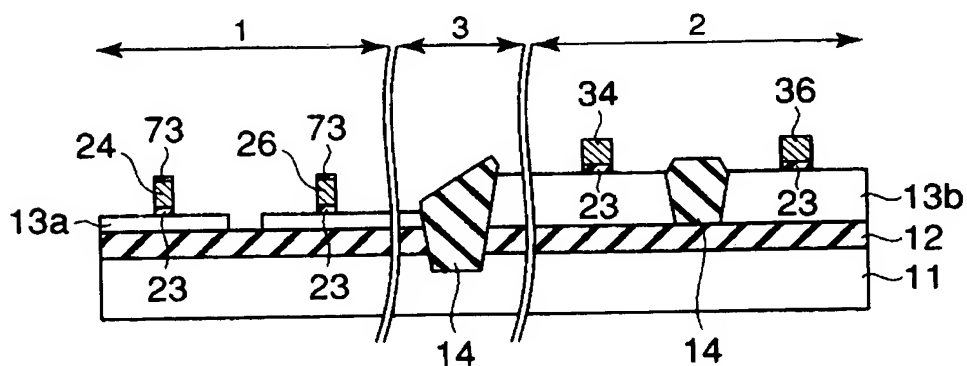
【図 10】



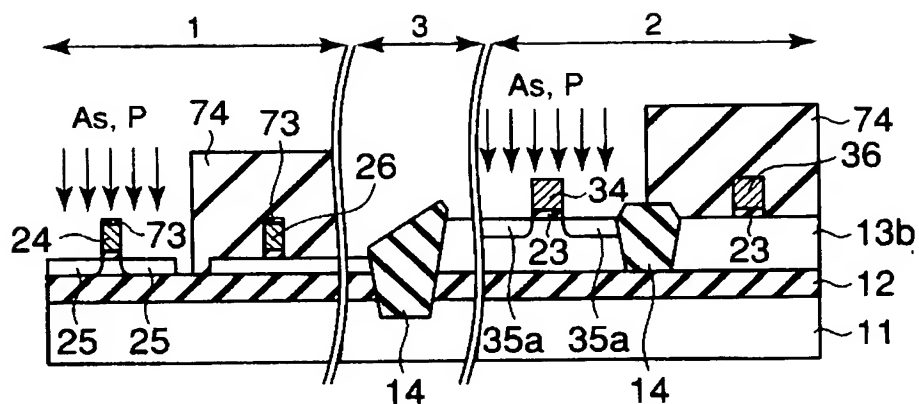
【図 11】



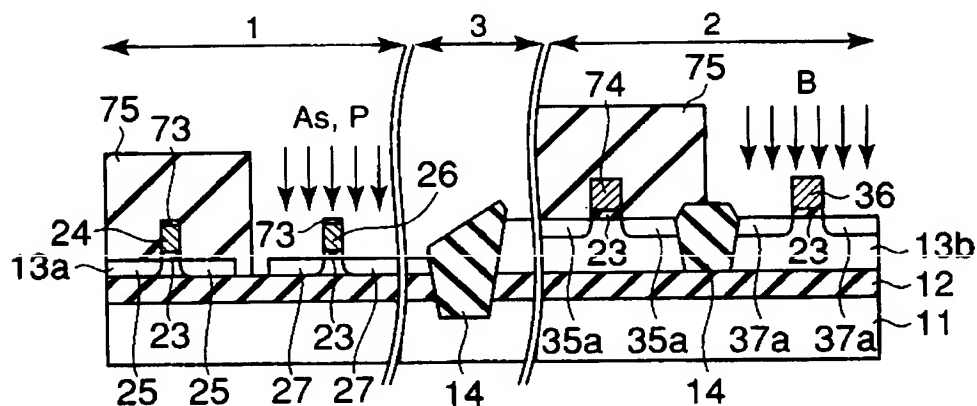
【図 12】



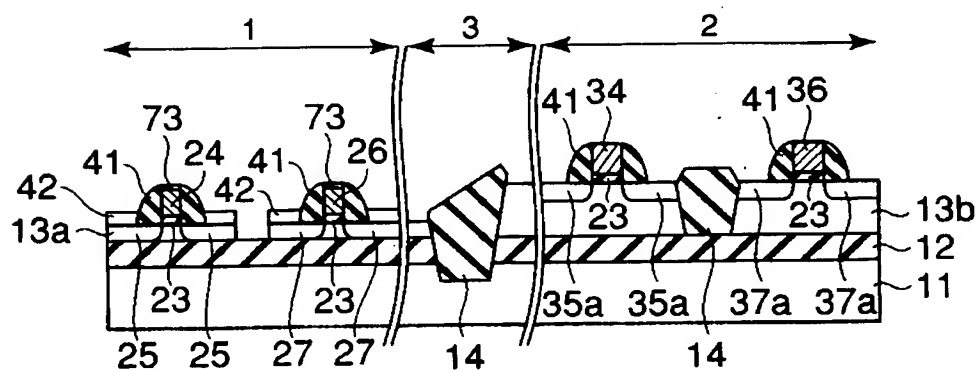
【図 13】



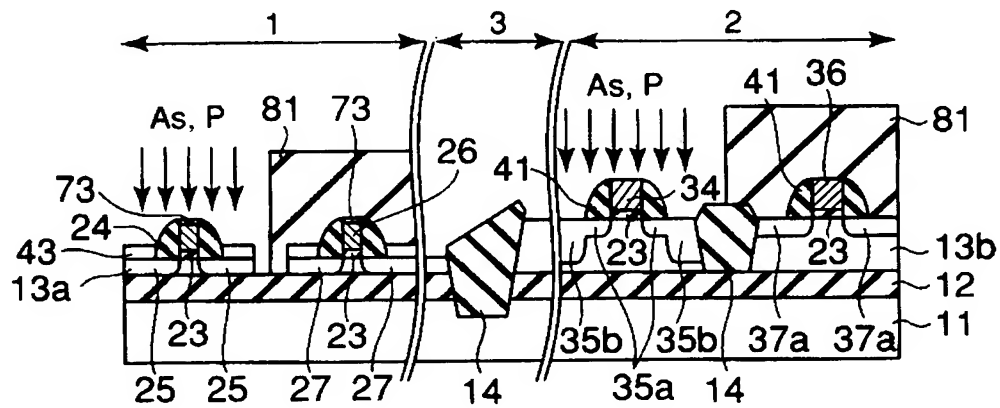
【図 14】



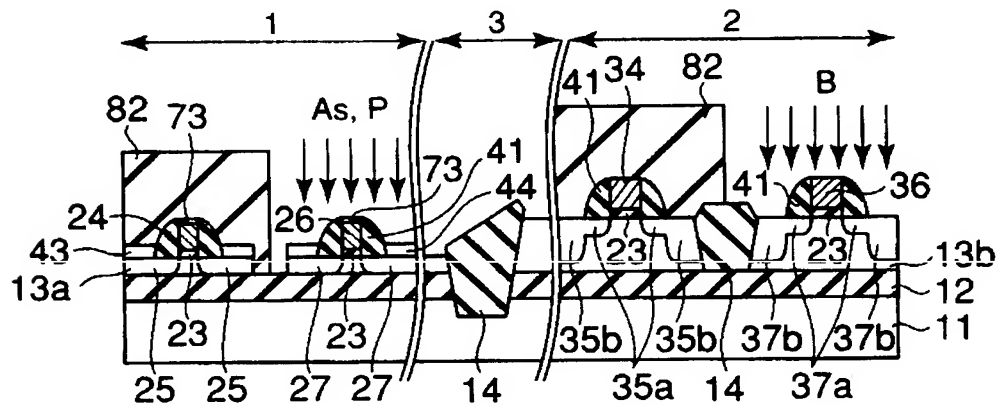
【図 15】



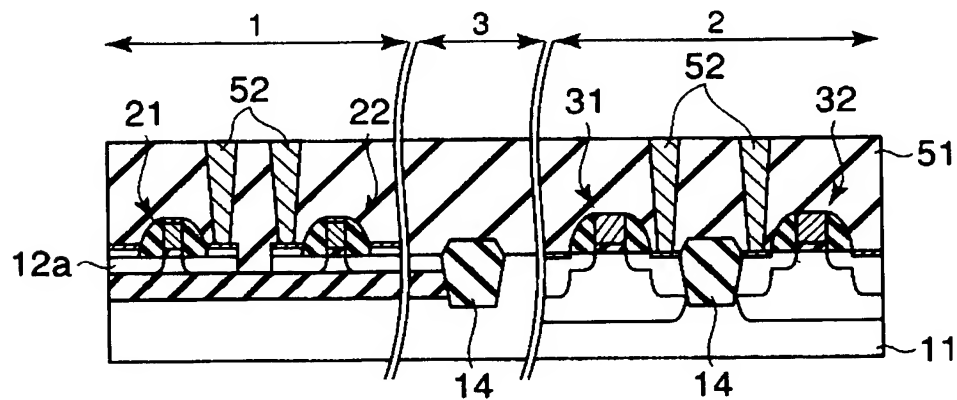
【図 16】



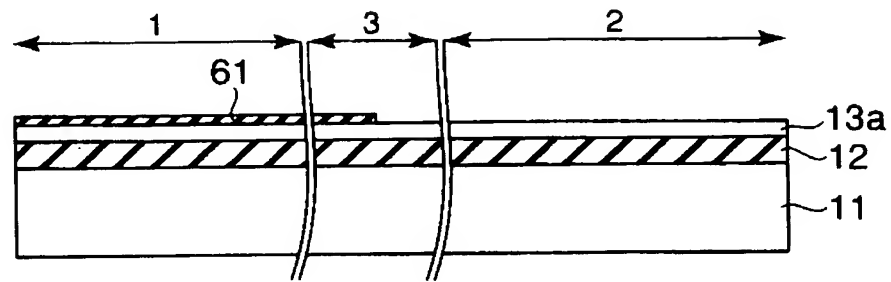
【図 17】



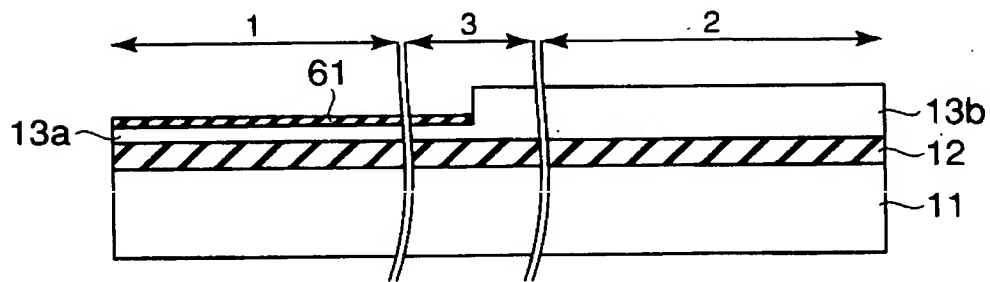
【図 18】



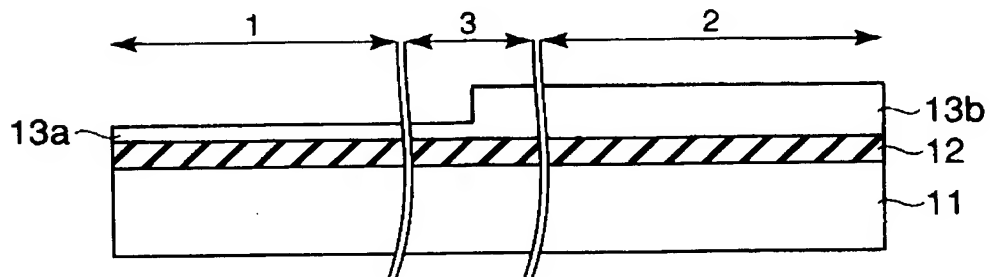
【図 19】



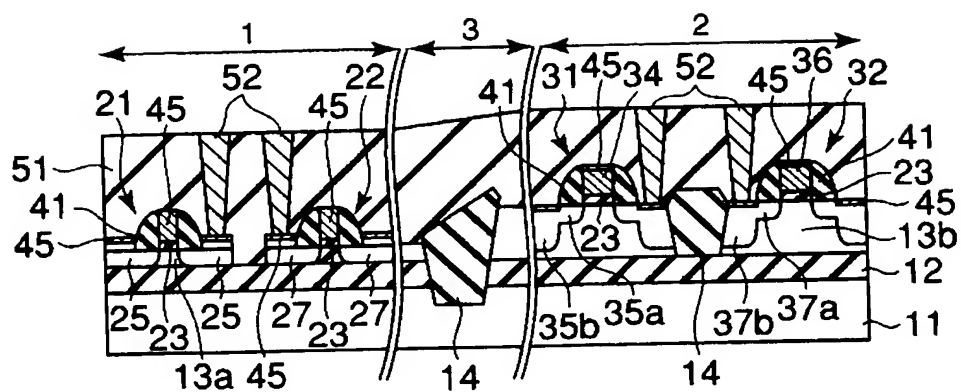
【図 20】



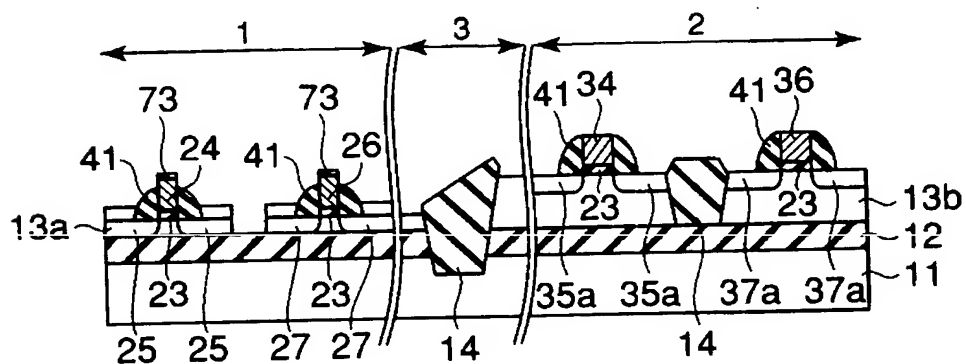
【図 21】



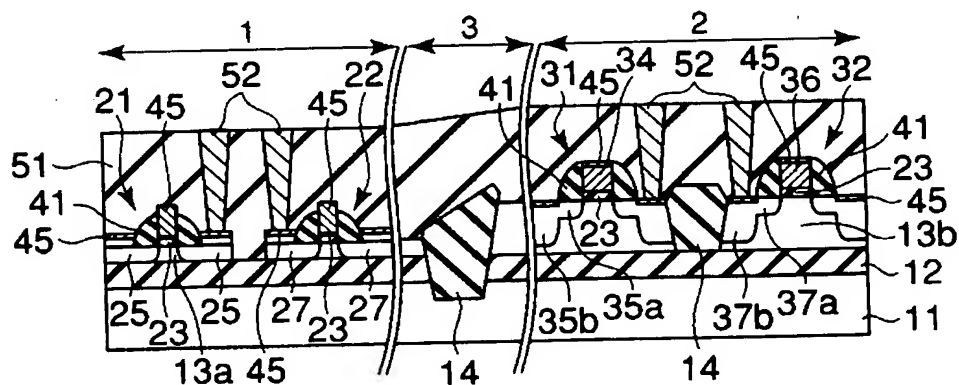
【図 2 2】



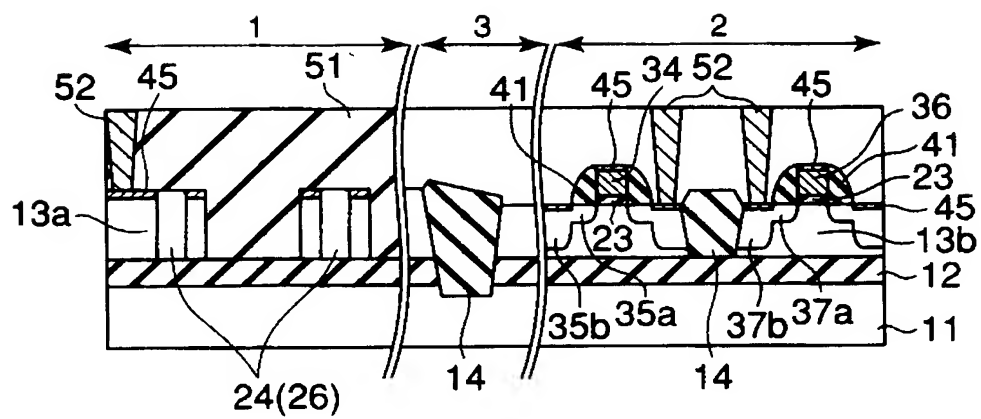
【図 2 3】



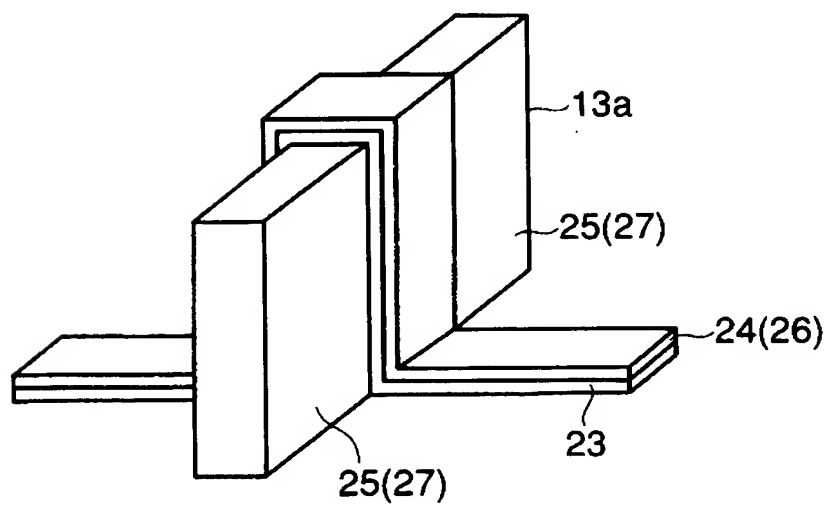
【図 2 4】



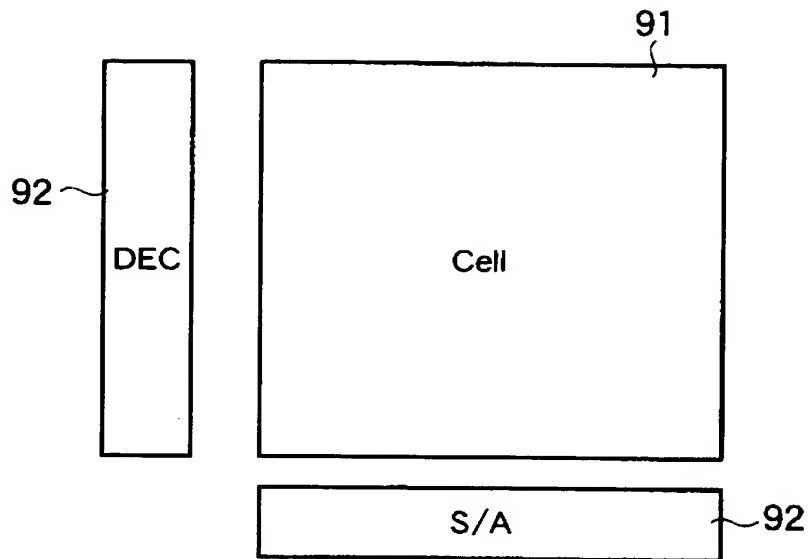
【図 25】



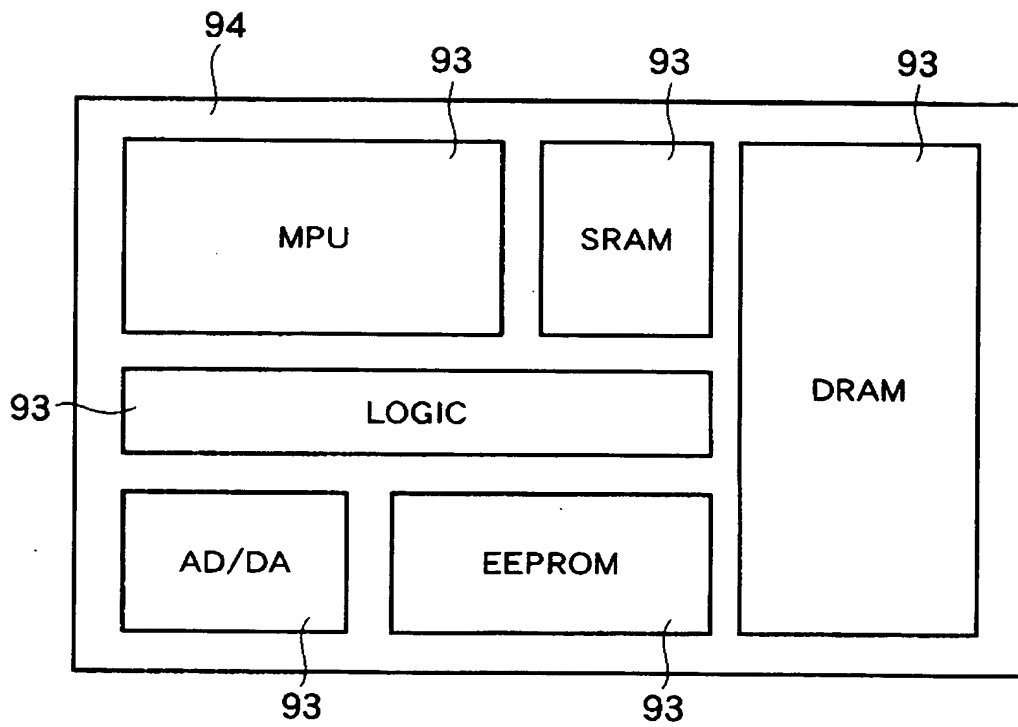
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 周辺トランジスタの閾値電圧設定の自由度を確保しつつ、メモリセルトランジスタの閾値電圧のばらつき、ソフトエラーの発生を低下できる半導体装置を提供する。

【解決手段】 半導体装置は、支持基板 11 上の絶縁膜 12 上に配設された第 1、第 2 半導体層 13 a、13 b を有する。第 1 メモリセルトランジスタ 21 は、SRAM のメモリセルの一部を構成し、第 1 導電型の第 1 ゲート電極 24 と、第 1 導電型と反対の第 2 導電型の 1 対の第 1 ソース／ドレイン拡散層 25 と、を有する。第 1 半導体層の厚さ \leq (第 1 ゲート電極のチャネル長方向の長さ / 3) が満たされる。第 1 周辺トランジスタ 31 は、周辺回路の一部を構成し、第 3 ゲート電極 34 と、第 3 ソース／ドレイン拡散層 35 と、を有する。第 2 半導体層の厚さ $>$ (第 3 ゲート電極のチャネル長方向の長さ / 3) が満たされる。

【選択図】 図 1

特願 2003-178241

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝